

DERWENT-ACC-NO: 1997-326162

DERWENT-WEEK: 199730

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor device e.g. for power MOSFET -  
has first and second source cells and drain cell  
connected to second source cell

PATENT-ASSIGNEE: NEC CORP[NIDE] , NISSAN MOTOR CO LTD[NSMO]

PRIORITY-DATA: 1995JP-0308504 (November 2, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 09129878 A	May 16, 1997	N/A
007 H01L 029/78		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 09129878A	N/A	1995JP-0308504
November 2, 1995		

INT-CL (IPC): H01L021/336, H01L029/78

ABSTRACTED-PUB-NO: JP 09129878A

BASIC-ABSTRACT:

The device consists of a n type implanting layer (104) formed on a p type silicon substrate (101). An n type epitaxial layer (102) is provided on the n type implanting layer. An n type drain extension layer (105) which penetrates into the epitaxial layer and contacts the implanting layer, is formed. A base diffusion layer (110) is formed on the surface of a semiconductor layer provided above the n type implanting layer.

A source diffusion layer (111) is formed on the surface of the base diffusion

layer. A drain layer (114) which penetrates into the semiconductor layer, is formed. Then, a gate insulating film (108) is installed on the semiconductor layer. A gate electrode (109) is formed adjacent to the gate insulating film. A first and second source cell are provided and a drain cell is connected to the second source cell.

ADVANTAGE - Improves current density of source cell. Increases channel width per unit area.

CHOSEN-DRAWING: Dwg.1/8

TITLE-TERMS: SEMICONDUCTOR DEVICE POWER MOSFET FIRST SECOND SOURCE CELL DRAIN  
CELL CONNECT SECOND SOURCE CELL

DERWENT-CLASS: L03 U12

CPI-CODES: L04-C02; L04-C11C; L04-C12; L04-E01B1;

EPI-CODES: U12-D02A9;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1997-105053

Non-CPI Secondary Accession Numbers: N1997-270295

[First Hit](#)      [Previous Doc](#)      [Next Doc](#)      [Go to Doc#](#)**End of Result Set**☐ [Generate Collection](#) [Print](#)

L1: Entry 1 of 1

File: JPAB

May 16, 1997

PUB-NO: JP409129878A  
DOCUMENT-IDENTIFIER: JP 09129878 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: May 16, 1997

## INVENTOR-INFORMATION:

NAME

COUNTRY

ITO, YUKIO

HOSHI, MASAKATSU

MIHARA, TERUYOSHI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

NISSAN MOTOR CO LTD

APPL-NO: JP07308504

APPL-DATE: November 2, 1995

US-CL-CURRENT: 257/E29.116; 257/E29.258  
INT-CL (IPC): H01 L 29/78; H01 L 21/336

## ABSTRACT:

PROBLEM TO BE SOLVED: To reduce ON resistance of a power MOS FET by increasing the channel width per unit area.

SOLUTION: On a P-type silicon substrate 101, an N buried layer 104 is formed, on which an N-type epitaxial layer 102 is formed. An N+ type drain leading-out layer 105 is formed which penetrates the epitaxial layer 102 and reaches the buried layer 104. A gate electrode 109 is formed, and a P-type diffusion layer 110 turning to a channel region and an N-type diffusion layer 111 turning to a source region are formed by a double diffusion method using the source aperture of the gate electrode. After a first interlayer insulating film 112 is formed and a contact hole is made, a first drain electrode 114 and a source electrode 115 are formed, on which a second interlayer insulating film 116 is formed. After a through hole is formed, a second drain electrode 118 is formed.

COPYRIGHT: (C)1997, JPO

[Previous Doc](#)      [Next Doc](#)      [Go to Doc#](#)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-129878

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/336		9055-4M	H 0 1 L 29/78	6 5 2 S 3 0 1 W 3 0 1 H 3 0 1 Y 6 5 2 G
		9055-4M		
審査請求 有 請求項の数 2 F D (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平7-308504

(22) 出願日 平成7年(1995)11月2日

特許法第30条第1項適用申請有り 1995年7月27日 社  
団法人電子情報通信学会発行の「電子情報通信学会技術  
研究報告 信学技報 Vol. 95, No. 192」に発表

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 伊藤 幸雄

東京都港区芝五丁目7番1号 日本電気株  
式会社内

(72) 発明者 星 正勝

神奈川県横浜市神奈川区宝町2番地 日産  
自動車株式会社内

(74) 代理人 弁理士 尾身 祐助

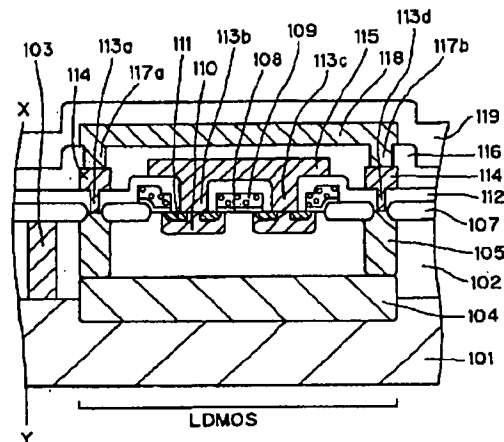
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 面積当たりのチャネル幅を大きくして、パワ  
ーMOSFETのオン抵抗の低減化を図る。

【構成】 p型シリコン基板101上にn<sup>+</sup>型埋め込み  
層104を設け、その上にn型エピタキシャル層102  
を設ける。エピタキシャル層102を貫通して埋め込み  
層104に到達するn<sup>+</sup>型ドレイン引き出し層105を  
形成する。ゲート電極109を形成し、ゲート電極のソ  
ース開口を利用して2重拡散法により、チャネル領域と  
なるp型拡散層110とソース領域となるn型拡散層1  
11を形成する。第1の層間絶縁膜112を形成し、コ  
ンタクトホールを開孔した後、第1のドレイン電極11  
4、ソース電極115を形成する。その上に第2の層間  
絶縁膜116を形成し、スルーホールを開孔した後、第  
2のドレイン電極118を形成する。



101...p型シリコン基板  
102...n型エピタキシャル層  
103...p型絶縁分離層  
104...n<sup>+</sup>型埋め込み層  
105...n<sup>+</sup>型ドレイン引き出し層  
107...フィールド絶縁膜  
108...ゲート酸化膜  
109...ゲート電極  
110...p型拡散層  
111...n<sup>+</sup>型拡散層  
112...第1の層間絶縁膜

113a...第1のコンタクトホール  
113b...第2のコンタクトホール  
113c...第3のコンタクトホール  
113d...第4のコンタクトホール  
114...第1のドレイン電極  
115...ソース電極  
116...第2の層間絶縁膜  
117a...第1のスルーホール  
117b...第2のスルーホール  
118...第2のドレイン電極  
119...保護絶縁膜

## 【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1導電型の半導体層と、前記半導体層と前記半導体基板間に形成された、第1導電型の不純物が高濃度にドーパされた埋め込み拡散層と、前記埋め込み拡散層上の前記半導体層の表面領域内に規則的に形成された第2導電型の複数のベース拡散層と、前記ベース拡散層の表面領域内に形成された第1導電型のソース拡散層と、前記半導体層を貫通して前記埋め込み拡散層に到達する1ないし複数のドレイン引き上げ拡散層と、前記半導体層上にゲート絶縁膜を介して形成された前記ベース拡散層および前記ドレイン引き上げ拡散層上に開口を有するゲート電極と、を有する半導体装置において、前記ベース拡散層の形成された半導体層を、前記ベース拡散層の形成されたソースセルと前記ドレイン引き上げ拡散層の形成されたドレインセルに分割するとき、一辺が第1の寸法を持つ正方形の第1のソースセルが行方向および列方向にそれぞれ1ないし複数個配置されたソースセルブロックが行方向および列方向にそれぞれ第1の寸法より長い第2の寸法において配置され、前記第1のソースセル間には第1の寸法および第2の寸法を各辺の長さとする長方形の第2のソースセルが配置され、第2のソースセルに挟まれた領域内にはドレインセルが配置されていることを特徴とする半導体装置。

【請求項2】 前記半導体層は該半導体層を貫通する絶縁分離層によって複数の領域に分離されており、前記埋め込み拡散層および前記ベース拡散層が絶縁分離された一つの領域内に形成され、絶縁分離された他の領域内には、他のMOS型トランジスタおよび／またはバイポーラトランジスタが形成されていることを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、少なくとも1つの出力段パワーMOSFETと制御用の小信号半導体素子とをモノリシックに集積化した半導体装置に関し、特にパワーMOSFETのオン抵抗を低減できる半導体装置に関するものである。

## 【0002】

【従来の技術】パワーMOSFETとしては、従来より、縦型素子として構成することが広く行われてきた。図5は、VDMOS (Vertical Double-diffused MOS) と呼ばれる縦型構造のパワーMOSFETの断面図であり、図6はその平面図である（但し、図6では、図を見やすくするためにソース開口部209a、すなわち、ゲート電極のソース開口部以外の部分の図示は省略されている）。

【0003】このデバイスは以下のように作製される。  
n<sup>+</sup>型シリコン基板201上にn型エピタキシャル層202を成長させ、基板上にゲート酸化膜208を介して

ポリシリコンなどからなるゲート電極209を形成する。ゲート電極209にはソース開口部209aが設けられている。このソース開口部209aを介してボロンを注入してベース領域（チャネル領域）となるp型拡散層210を形成する。ソース開口部内にフォトリソマスクを形成した後、ヒ素を導入し、マスクを除去してさらにボロンを導入して、ソース拡散層となるn<sup>+</sup>型拡散層211とバックゲート領域となるp<sup>+</sup>型拡散層223を形成する。基板表面に層間絶縁膜212を形成し、コンタクトホールを開孔した後、ソース電極215を形成し、また基板裏面にドレイン電極を形成して、図示されたデバイスの製作が完了する。

【0004】近年、微細加工技術の進歩によってセル（基本トランジスタ）密度が向上したことにより、単位面積当たりの電流経路が増加し、それに従ってオン抵抗が減少し、60V以下の耐圧のデバイスではオン抵抗が100mΩ・mm<sup>2</sup>を切る低オン抵抗のものが発表されている。

【0005】しかし、上記のように微細化が進むと、チャネル抵抗が減少する反面、チップの厚みの大半を占めるn<sup>+</sup>型シリコン基板201の抵抗R<sub>sub</sub>が無視できなくなってきた。すばわち、オン抵抗R<sub>on</sub>はデバイス各部の直列抵抗として、

$$R_{on} = R_{ch} + R_{jFET} + R_{epi} + R_{sub}$$

ただし、R<sub>ch</sub> : チャネル抵抗

R<sub>jFET</sub> : ジャンクションFET部抵抗

R<sub>epi</sub> : エピタキシャル層抵抗

R<sub>sub</sub> : 基板抵抗

で表わされるが、本発明者等の計算によれば、セルサイズが12×12μmを切るようになると、n<sup>+</sup>型シリコン基板201の基板抵抗R<sub>sub</sub>が全体の30～40%を占めるようになることが判った。

【0006】なお、上記の値は、ゲート酸化膜厚=50Å、ゲート電圧=10V、n型エピタキシャル層の比抵抗=0.4Ω・cm、n型エピタキシャル層の厚さ=6μm、n<sup>+</sup>型シリコン基板の比抵抗=0.015Ω・cm、n<sup>+</sup>型シリコン基板の厚さ=270μm、セルサイズ=12×12μmとして計算した値である。上記のn<sup>+</sup>型シリコン基板201の抵抗を減らす方法としては、不純物濃度を上げる方法や厚さを薄くする方法があるが、前者にはn型エピタキシャル層202の結晶性の悪化という問題が、後者には機械強度の低下によるウェハ割れという問題があり、いずれも限界にきている。

【0007】また、ドレイン電極をシリコン基板裏面からとる構造のため、ドレイン端子が電源に直結するハイスイッチ以外には、出力段パワーMOSFETの多出力化が不可能という問題がある。これらのVDMOSの問題点に対処したものとして、ドレインを横方向に配置した、LDMOS (Lateral Double-diffused MOS) と称されるパワーMOSFETがある。図7は、特

開平3-257969号公報にて開示されたLDMOSの断面図であり、図8はその平面図である。

【0008】図7に示されるように、p型シリコン基板301上のn型エピタキシャル層302の表面領域内には、n<sup>+</sup>型ドレイン拡散層305とベース層となるp型拡散層310が設けられており、p型拡散層310内にはさらにソース拡散層となるn<sup>+</sup>型拡散層311とp<sup>+</sup>型拡散層323が形成されている。基板上には、ゲート酸化膜308を介してゲート電極309が形成されており、その上には第1の層間絶縁膜312が形成されている。第1の層間絶縁膜312に開孔されたコンタクトホールを介してソース電極315と第1のドレイン電極314が形成されている。その上には第2の層間絶縁膜316と第2のドレイン電極318が形成されている。

【0009】図8に示されるように、正方形のドレイン開口部（第1の層間絶縁膜312に形成されたコンタクトホール）305aと六角形のソース開口部（ゲート電極309に形成された開口）309aとが交互に形成されている。図7、図8に示されるデバイスにおいては、電流は、n<sup>+</sup>型ドレイン拡散層305からn型エピタキシャル層302を経て、p型拡散層310の反転層を

通ってソース拡散層のn<sup>+</sup>型拡散層311へと主に基板表面に流れるため、基板抵抗の影響は少なくなる。

【0010】

【発明が解決しようとする課題】上述したように、図5、図6に示す従来のVDMOSにおいては、基板抵抗の影響でオン抵抗を低くすることに限界があり、回路応用としても、ハイサイドスイッチ以外の用途では出力段パワーMOSFETの多出力化が不可能という問題があった。

【0011】また、図7、図8に示したLDMOS構造では、p型拡散層（チャネル領域）310内のn<sup>+</sup>型拡散層311と対向する位置にn<sup>+</sup>型ドレイン拡散層305を設ける必要があることから、p型拡散層310とn<sup>+</sup>型ドレイン拡散層305を交互に配置しなければならず、セル密度を効果的に向上させることができない。さらに、p型拡散層310同士が対向している領域では有効にチャネルが形成されないため、全体のオン抵抗を大幅に低減することができない。

【0012】また、従来のLDMOSでは、チャネル領域となるp型拡散層とドレイン領域とが同一平面上に形成されているため、チャネル抵抗とVDMOSでの基板抵抗 $R_{sub}$ に相当するドレイン拡散抵抗 $R_{dr}$ を同時に低くすることはできなかった。例えば、耐圧を100V以上と高とした場合、オン抵抗に占めるドレイン拡散抵抗 $R_{dr}$ の割合が高くなるためこれを低減するには、ドレイン開口部305aの面積を大きくしなければならないが、ドレイン開口部305aの面積を大きくすることは必然的にソース開口部309aの面積の縮小を招くことになり、 $R_{ch}$ が増大するため全体のオン抵抗を低減する

ことはできない。

【0013】本発明は、上述した従来技術の問題点を解決すべくなされたものであって、その目的とするところは、従来技術のパワーMOSFETよりもさらに低いオン抵抗が可能な横型構造のパワーMOSFETを含むパワーICを提供することである。

【0014】

【課題を解決するための手段】上記の目的を達成するための本発明による半導体装置は、半導体基板（101）上に形成された第1導電型の半導体層（102）と、前記半導体層と前記半導体基板間に形成された、第1導電型の不純物が高濃度にドーパされた埋め込み拡散層（104）と、前記埋め込み拡散層上の前記半導体層の表面領域内に規則的に形成された第2導電型の複数のベース拡散層（110）と、前記ベース拡散層の表面領域内に形成された第1導電型のソース拡散層（111）と、前記半導体層を貫通して前記埋め込み拡散層に到達する1ないし複数のドレイン引き上げ拡散層（105）と、前記半導体層上にゲート絶縁膜を介して形成された前記ベース拡散層および前記ドレイン引き上げ拡散層上に開口を有するゲート電極（109）と、を有し、前記ベース拡散層の形成された半導体層を、前記ベース拡散層の形成されたソースセルと前記ドレイン引き上げ拡散層の形成されたドレインセルに分割するとき、一辺が第1の寸法を持つ正方形の第1のソースセル（120）が行方向および列方向にそれぞれ1ないし複数個配置されたソースセルブロックが行方向および列方向に第1の寸法より長い第2の寸法をおいて配置され、前記第1のソースセル間には第1の寸法および第2の寸法を各辺の長さとする長方形の第2のソースセル（121）が配置され、第2のソースセルに挟まれた領域内にはドレインセル（122）が配置されていることを特徴としている。

【0015】そして、好ましくは、前記半導体層（102）は該半導体層を貫通する絶縁分離層（103）によって複数の領域に分離され、前記埋め込み拡散層および前記ベース拡散層が絶縁分離された一つの領域内に形成され、絶縁分離された他の領域内には、他のMOS型トランジスタおよび／またはバイポーラトランジスタが形成される。

【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1、図2は、本発明の実施の形態を説明するための半導体チップの断面図である（図1は断面図の右半分、図2は断面図の左半分）。同図に示されるように、p型シリコン基板101上には、n型エピタキシャル層102が形成されており、そして、このn型エピタキシャル層102内にはこれを電気的に分離するためのp型絶縁分離層103が形成されている。n型エピタキシャル層102の分離された各領域内には、パワーMOSFETの外、制御用のバイポーラ素

子やCMOSが形成される。CMOS形成領域には、nチャネルMOSFETを形成するためにp型ウェル層106が形成されている。基板上には、また各素子を分離するためのフィールド絶縁膜107が形成されている。

【0017】p型シリコン基板101と素子分離されたn型エピタキシャル層102の間にはシート抵抗が5〜20Ω/□のn<sup>+</sup>型埋め込み層104が形成されており、この埋め込み層104はn<sup>+</sup>型ドレイン引き出し層105によって基板上に引き出されている。このn<sup>+</sup>型埋め込み層104上には、ベース拡散層であるp型拡散層110が形成されており、このp型拡散層の表面領域内にはソース領域となるn<sup>+</sup>型拡散層111が形成されている。また、図示されていないがn<sup>+</sup>型拡散層111に挟まれた領域内にはバックゲート領域のp<sup>+</sup>型拡散層が形成されている。

【0018】n型エピタキシャル層102の表面上にはゲート酸化膜108が設けられており、このゲート酸化膜108の上にはポリシリコンからなるゲート電極109が設けられている。このゲート電極109およびゲート酸化膜108の上には第1の層間絶縁膜112が設けられており、この第1の層間絶縁膜112には、第1乃至第4のコンタクトホール113a〜113dが設けられている。第1、第4のコンタクトホール113a、113dには前記n<sup>+</sup>型ドレイン引き出し層105に電氣的に接続された第1のドレイン電極114が形成され、第2、第3のコンタクトホール113b、113c内および第1の層間絶縁膜112上にはソース領域であるn<sup>+</sup>型拡散層111に電氣的に接続されたソース電極115が形成されている。

【0019】第1のドレイン電極114、ソース電極115および第1の層間絶縁膜112の上には第2の層間絶縁膜116が設けられており、この第2の層間絶縁膜116には第1および第2のスルーホール117a、117bが設けられている。これらスルーホール117a、117b内および第2の層間絶縁膜116上には、ソース電極115を完全に覆うように、第1のドレイン電極114間を接続する第2のドレイン電極118が設けられている。第2のドレイン電極118および第2の層間絶縁膜上には保護絶縁膜119が設けられている。図1においては、p型拡散層110は2個記載されているに過ぎないが実際には紙面に平行方向および垂直方向に規則的に多くのp型拡散層が配列される。また、n<sup>+</sup>型ドレイン引き出し層105は、素子の周辺部ばかりでなくp型拡散層110間にも適宜配置される。

【0020】このように形成されたMOSFETにおいては、ドレイン電流は基板を介さずn<sup>+</sup>型埋め込み層104およびn<sup>+</sup>型ドレイン引き出し層105を通して取り出されるため、VDMOSにおける基板抵抗R<sub>sub</sub>に相当する、ドレイン拡散抵抗R<sub>d</sub> (n<sup>+</sup>型埋め込み層104およびn<sup>+</sup>型ドレイン引き出し層105の抵抗)を

低く抑えることができる。また、基板表面でドレイン拡散層をソース拡散層に対向して形成する必要がなくなるので、ソースセル密度向上させることができ、さらにp型拡散層110の周辺部の領域はほぼチャネル領域として機能することになるため、実効的チャネル幅を大幅に増大させることができ、チャネル抵抗R<sub>ch</sub>およびジャンクションFET部抵抗R<sub>jfet</sub>の両方を効果的に低減することができる。

【0021】

【実施例】次に、本発明の実施例について、パワーMOSFET部のパターン図を参照して説明する。

【第1の実施例】図3は、本発明の第1の実施例を説明するための平面パターン図である。基板上にはソース開口部109a、ドレイン開口部109bを有するゲート電極が形成されている。p型拡散層110およびソース領域となるn<sup>+</sup>型拡散層(図示なし)はソース開口部109aを介していわゆる二重拡散法を用いて形成される。また、ドレイン開口部109b内にはn<sup>+</sup>型ドレイン引き出し層105が形成されているが、これは拡散マスク(フォトリソ)に形成されたドレイン開口部105aを介して形成された拡散層である。

【0022】図3に示されるように、p型拡散層110は、第1、第2のソースセル120、121内に形成され、n<sup>+</sup>型ドレイン引き出し層105はドレインセル122内に形成される。設計に当たっては、第1のソースセル120を規則的に等ピッチで配置する。次に、第1のソースセル120とは対角する位置に、ドレインセル122を第1のソースセル120と等ピッチで規則的に配置し、第1のソースセルの各辺と向かい合う位置に、第2のソースセル121を、第1のソースセル120と等ピッチで規則的に配置する。

【0023】第1のソースセル120のパターンは正方形で、その一辺の寸法Aは、ゲート電極109の幅aと、p型拡散層110とn<sup>+</sup>型拡散層111とを2重拡散によって形成するゲート電極109の開口幅b(以下、ソース開口幅という)の和で示される。ゲート電極109の幅aはp型拡散層110の横方向広がりによって挟まれたジャンクションFET部の抵抗R<sub>jfet</sub>を最小とする寸法から設計され、またソース開口幅bは微細加工技術の最小寸法に設定される。これらの寸法設計は従来図で示すVDMOSの設計手法と同じで、微細加工技術の進歩により、日々縮小される値である。この設計により全体のオン抵抗の中のR<sub>ch</sub>とR<sub>jfet</sub>が最適化される。

【0024】ドレインセル122のパターンは正方形で、その一辺の寸法Bはn<sup>+</sup>型ドレイン引き出し層105を形成するためのマスクの開口幅cとその横方向広がりdとn型エピタキシャル層102のオフセット長eの和で示される。マスク開口幅cは単位面積当たりのドレイン引き出し抵抗(A・Rで与えられる抵抗。A:拡散層断面積、R:抵抗)を最小にする寸法に設計され、n

型エピタキシャル層102のオフセット長eは通常の耐圧設計と同じ手法で設計される。また、VDMOSの基板抵抗 $R_{sub}$ に相当するドレイン拡散抵抗 $R_{dr}$ を低減するために、ソースセルとドレインセルの設けられた領域のp<sup>+</sup>型シリコン基板101上には、n<sup>+</sup>型埋め込み層104が拡散されている。これらの設計により、全体のオン抵抗の中の $R_{epi}$ と、 $R_{sub}$ に相当するドレイン拡散抵抗 $R_{dr}$ が最適化される。

【0025】第2のソースセル121のパターンは長方形で、その一辺の寸法は前記方法で設計されたAに、他の一辺も前記方法で設計された寸法Bに設計されている。例えば、ソースセルを正方形のもののみで構成した場合、ドレインセルの一辺の長さはソースセルの一辺の長さの整数倍に決まってしまうため、設計の自由度が低下し結果的にドレインセルを十分に小さくすることができず、全体のオン抵抗を十分に低減することはできないが、本発明によれば、以上のような設計方法を用いることで、出力段パワーMOSFETの全体のオン抵抗を構成する各抵抗値 $R_{ch}$ 、 $R_{jFET}$ 、 $R_{epi}$ 、 $R_{dr}$ がそれぞれ同時に最適化され、全体としてのオン抵抗が大幅に低減される。なお、図3にはソースセルのみを含む行が2行、ソースセルとドレインセルを含む行が1行示されているにすぎないが、同様のパターンの繰り返しでより多くのセルを含むように構成することができる。

【0026】〔第2の実施例〕本発明の第2の実施例について、その平面パターン図である図4を参照して説明する。本実施例は、各セルの配置パターンが異なるのみで、その設計手法や製造方法は第1の実施例の場合と同様である。第1の実施例のセル配置では、等ピッチで規則的に配置しているドレインセル122の間に、一つの第2のソースセル121を配置し、第2のソースセル121間に第1のソースセル120を配置していたが、本実施例では、ドレインセル間に第2のソースセル121を2個ずつ配置し、第2のソースセル121間に2個ずつ第1のソースセル120を配置するパターンに変更されている。このように構成することにより、ソースセルの全体のセルに占める割合を高くすることができ、セル密度を向上させ、チャネル抵抗 $R_{ch}$ を低減することができる。

【0027】このように、第2の実施例では第1のソースセルと第2のソースセルの列並びを複数とすることでチャネル抵抗 $R_{ch}$ は低減するが、一方ドレインセルの全体のセルに占める割合が低くなり、ドレイン拡散抵抗 $R_{dr}$ が増大するため、ドレインセル間のソースセルの列並び数を最適化する設計が求められる。この最適値は、 $R_{ch}$ と $R_{dr}$ の和を最小とする値であるが、耐圧によって $R_{ch}$ と $R_{dr}$ の全体の抵抗値に占める割合が異なるため、各耐圧ごとに決定される。当然ではあるが、耐圧が低い程 $R_{ch}$ の全体の抵抗に占める割合が高くなるため（耐圧が低くなると、n型エピタキシャル層の膜厚が薄くな

り、その不純物濃度がたかくなることにより、 $R_{epi}$ が低くなるため）、ソースセルの列並びを多くし、セル密度向上を図る方が有利となる。

【0028】本発明者等の計算によると、図4に示す本実施例のセル配置で、Aの寸法を約12 $\mu$ m、Bの寸法を約17 $\mu$ mに設計した場合、出力段パワーMOSFETの耐圧が55Vで、シリーズ抵抗が124m $\Omega$ ・mm<sup>2</sup>（ゲート電圧=10V）という結果を得ることができた。

【0029】

【発明の効果】以上説明したように、本発明によるパワーMOSFETは、ドレイン電流をn<sup>+</sup>型埋め込み層およびn<sup>+</sup>型ドレイン引き出し層を介して取り出すようにしたものであるため、従来例における基板抵抗に相当するドレイン拡散抵抗の値を大幅に低減することができる。さらに、基板表面において、ソース拡散層とドレイン拡散層とを対向して配置する必要がなくなるので、ソースセルの密度を向上させることができ、単位面積当たりのチャネル幅を増加させることができるため、チャネル抵抗 $R_{ch}$ およびジャンクションFET部抵抗 $R_{jFET}$ の双方を低減することができる。よって、本発明によれば、電流密度が高くオン抵抗の低い高性能のパワーMOSFETを備えた半導体装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態を説明するための断面図の右半分。

【図2】 本発明の実施の形態を説明するための断面図の左半分。

【図3】 本発明の第1の実施例を示す平面パターン図。

【図4】 本発明の第2の実施例を示す平面パターン図。

【図5】 第1の従来例の断面図。

【図6】 第1の従来例の平面パターン図。

【図7】 第2の従来例の断面図。

【図8】 第2の従来例の平面パターン図。

【符号の説明】

101、301 p型シリコン基板

201 n<sup>+</sup>型シリコン基板

102、202、302 n型エピタキシャル層

103 p型絶縁分離層

104 n<sup>+</sup>型埋め込み層

105 n<sup>+</sup>型ドレイン引き出し層

105a、305a ドレイン開口部

305 n<sup>+</sup>型ドレイン拡散層

106 p型ウェル層

107 フィールド絶縁膜

108、208、308 ゲート酸化膜

109、209、309 ゲート電極

109a、209a、309a ゲート電極のソース開

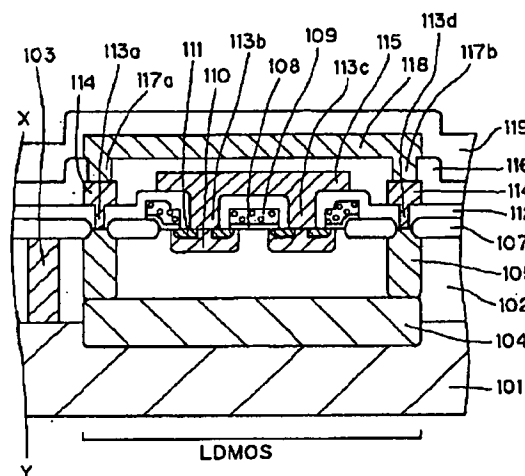


9

口部

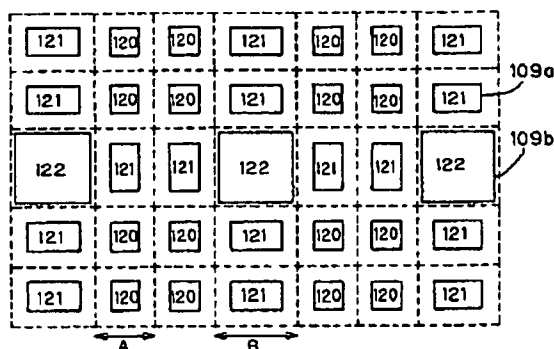
- 109b ゲート電極のドレイン開口部  
 110、210、310 p型拡散層（ベース層；チャネル領域）  
 111、211、311 n<sup>+</sup>型拡散層（ソース拡散層）  
 112、312 第1の層間絶縁膜  
 212 層間絶縁膜  
 113a 第1のコンタクトホール  
 113b 第2のコンタクトホール  
 113c 第3のコンタクトホール  
 113d 第4のコンタクトホール

【図1】



- 101…p型シリコン基板  
 102…n型エピタキシャル層  
 103…p型絶縁分離層  
 104…n<sup>+</sup>型埋め込み層  
 105…n<sup>+</sup>型ドレイン引き出し層  
 107…フィールド絶縁膜  
 108…ゲート酸化膜  
 109…ゲート電極  
 110…p型拡散層  
 111…n<sup>+</sup>型拡散層  
 112…第1の層間絶縁膜  
 113a…第1のコンタクトホール  
 113b…第2のコンタクトホール  
 113c…第3のコンタクトホール  
 113d…第4のコンタクトホール  
 114…第1のドレイン電極  
 115…ソース電極  
 116…第2の層間絶縁膜  
 117a…第1のスルーホール  
 117b…第2のスルーホール  
 118…第2のドレイン電極  
 119…保護絶縁膜

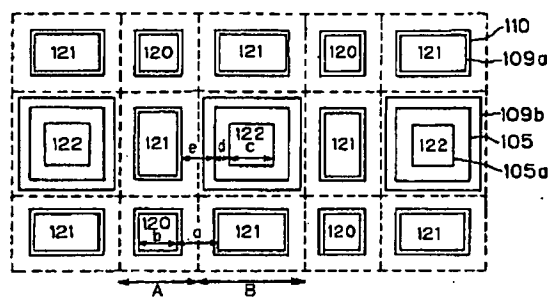
【図4】



10

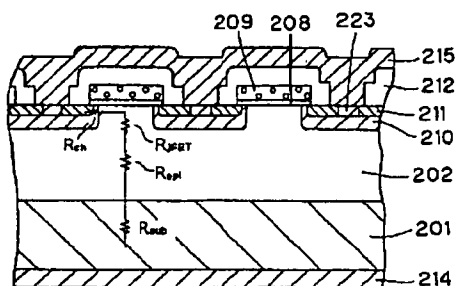
- 114、314 第1のドレイン電極  
 214 ドレイン電極  
 115、215、315 ソース電極  
 116、316 第2の層間絶縁膜  
 117a 第1のスルーホール  
 117b 第2のスルーホール  
 118、318 第2のドレイン電極  
 119 保護絶縁膜  
 120 第1のソースセル  
 121 第2のソースセル  
 122 ドレインセル  
 223、323 p<sup>+</sup>型拡散層（バックゲート領域）

【図3】



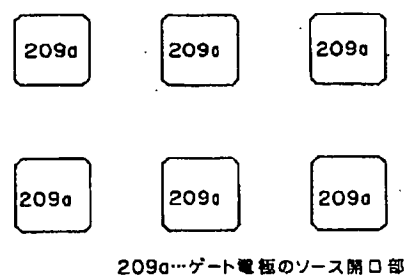
- A…第1のソースセル長 ( $A=a+b$ )  
 B…ドレインセル長 ( $B=c+2 \times d+e$ )  
 a…ゲート電極幅  
 b…ソース開口幅  
 c…マスク開口幅  
 d…n<sup>+</sup>型ドレイン引き出し層広がり  
 e…n型エピタキシャル層オフセット長  
 105a…ドレイン開口部  
 109a…ゲート電極のソース開口部  
 109b…ゲート電極のドレイン開口部  
 120…第1のソースセル  
 121…第2のソースセル  
 122…ドレインセル

【図5】

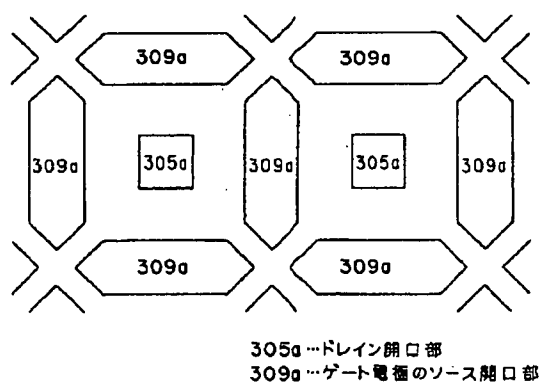


- 201…n<sup>+</sup>型シリコン基板  
 202…n型エピタキシャル層  
 208…ゲート酸化膜  
 209…ゲート電極  
 210…p型拡散層  
 211…n<sup>+</sup>型拡散層  
 212…層間絶縁膜  
 214…ドレイン電極  
 215…ソース電極  
 223…p<sup>+</sup>型拡散層  
 $R_{sn}=R_{sn}+R_{spET}+R_{spi}+R_{sub}$

【図6】



【図8】



656C

10/5/05, EAST Version: 2.0.1.4

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which can reduce especially the on resistance of power metal-oxide semiconductor field effect transistor about the semiconductor device which integrated at least one output stage power metal-oxide semiconductor field effect transistor and the small signal semiconductor device for control to the monolithic.

[0002]

[Description of the Prior Art] As power metal-oxide semiconductor field effect transistor, constituting as a vertical mold component has been performed widely conventionally. Drawing 5 is the sectional view of the power metal-oxide semiconductor field effect transistor of the vertical mold structure called VDMOS (Vertical Double-diffused MOS), and drawing 6 is the top view (however, in drawing 6, in order to make drawing legible, illustration of parts other than source opening 209a, i.e., source opening of a gate electrode, is omitted).

[0003] This device is produced as follows. n+ n mold epitaxial layer 202 is grown up on the mold silicon substrate 201, and the gate electrode 209 which consists of polish recon etc. through gate oxide 208 is formed on a substrate. Source opening 209a is prepared in the gate electrode 209. p mold diffusion layer 210 which pours in boron through this source opening 209a, and serves as a base region (channel field) is formed. n+ which introduces an arsenic, removes a mask, introduces boron further, and becomes a source diffusion layer after forming a photoresist mask in source opening p+ used as the mold diffusion layer 211 and a backgate field The mold diffusion layer 223 is formed. After forming an interlayer insulation film 212 in a substrate front face and puncturing a contact hole, the source electrode 215 is formed, and a drain electrode is formed in a substrate rear face, and manufacture of the illustrated device is completed.

[0004] When the cel (basic transistor) consistency improved by advance of ultra-fine processing technology in recent years, the current path per unit area increases, on resistance decreases according to it, and on resistance is 100mohm and mm2 with the device of pressure-proofing not more than 60V. The thing of low on resistance to cut is announced.

[0005] However, n+ which occupies the great portion of thickness of a chip while channel resistance will decrease, if detailed-ization progresses as mentioned above Resistance  $R_{sub}$  of the mold silicon substrate 201 It is impossible to ignore. It turned out that, as for \*\*\*\*\* and on resistance  $R_{on}$ ,  $R_{on}=R_{ch}+R_{jFET}+R_{epi}+R_{sub}$ , however  $R_{ch}$  come to occupy 30 - 40% of the whole as series resistance of each part of a device. : Channel resistance  $R_{jFET}$ : The junction type FET section resistance  $R_{epi}$  : Epitaxial layer resistance  $R_{sub}$  : It is n+ when cell size comes to cut 12x12 micrometers according to this invention person's etc. count, although expressed with substrate resistance. Substrate resistance  $R_{sub}$  of the mold silicon substrate 201

[0006] in addition, the above-mentioned value -- gate oxidation thickness =500Å, gate voltage =10V, specific resistance =0.4 ohm-cm of n mold epitaxial layer, and n mold -- epitaxial -- layer thickness =6micrometer and n+ Specific resistance =0.015 ohm-cm of a mold silicon substrate, and n+ It is the

value calculated as thickness = 270 micrometer of a mold silicon substrate, and cell size = 12x12 micrometer. Above-mentioned n+ Although there are an approach of raising high impurity concentration and the approach of making thickness thin as an approach of reducing resistance of the mold silicon substrate 201, there is a problem of the wafer crack according [ the problem of crystalline aggravation of n mold epitaxial layer 202 ] to the fall of mechanical strength in the latter at the former, and all are coming to the limitation.

[0007] Moreover, in addition to the high side switch which a drain terminal links with a power source directly, there is a problem that the formation of many outputs of output stage power metal-oxide semiconductor field effect transistor is impossible, for the structure of taking a drain electrode from a silicon substrate rear face. The power metal-oxide semiconductor field effect transistor which has arranged the drain in the longitudinal direction and which is called LDMOS (Lateral Double-diffused MOS) is one of things coping with the trouble of these VDMOS(s). Drawing 7 is the sectional view of LDMOS indicated in JP,3-257969,A, and drawing 8 is the top view.

[0008] As shown in drawing 7, in the surface field of n mold epitaxial layer 302 on the p-type silicon substrate 301, it is n+. n+ which p mold diffusion layer 310 used as the mold drain diffusion layer 305 and a base layer is established, and becomes a source diffusion layer further in p mold diffusion layer 310 The mold diffusion layer 311 and p+ The mold diffusion layer 323 is formed. On the substrate, the gate electrode 309 is formed through gate oxide 308, and the 1st interlayer insulation film 312 is formed on it. The source electrode 315 and the 1st drain electrode 314 are formed through the contact hole punctured by the 1st interlayer insulation film 312. On it, the 2nd interlayer insulation film 316 and the 2nd drain electrode 318 are formed.

[0009] As shown in drawing 8, square drain opening (contact hole formed in 1st interlayer insulation film 312) 305a and source opening (opening formed in gate electrode 309) 309a of a hexagon are formed by turns. Setting to the device shown in drawing 7 and drawing 8, a current is n+. It passes along the inversion layer of p mold diffusion layer 310 through n mold epitaxial layer 302 from the mold drain diffusion layer 305, and is n+ of a source diffusion layer. In order to mainly flow on a substrate front face to the mold diffusion layer 311, the effect of substrate resistance decreases.

[0010]

[Problem(s) to be Solved by the Invention] As mentioned above, in the conventional VDMOS shown in drawing 5 R> 5 and drawing 6, the limitation was to make on resistance low under the effect of substrate resistance, and there was a problem also as circuit application that the formation of many outputs of output stage power metal-oxide semiconductor field effect transistor was impossible, for applications other than a high side switch.

[0011] Moreover, at the LDMOS structure shown in drawing 7 and drawing 8, it is n+ within p mold diffusion layer (channel field) 310. It is n+ to the mold diffusion layer 311 and the location which counters. p mold diffusion layer 310 and n+ since it is necessary to establish the mold drain diffusion layer 305 The mold drain diffusion layer 305 must be arranged by turns, and a cell consistency cannot be raised effectively. Furthermore, since a channel is not effectively formed in the field in which p mold diffusion layer 310 comrades have countered, the whole on resistance cannot be reduced sharply.

[0012] Moreover, since p mold diffusion layer and the drain field used as a channel field are formed on the same flat surface in the conventional LDMOS, they are channel resistance and the substrate resistance  $R_{sub}$  by VDMOS. The corresponding drain diffused resistor  $R_{dr}$  was not able to be made low to coincidence. For example, when pressure-proofing is made high more than with 100V, since the rate of the drain diffused resistor  $R_{dr}$  occupied to on resistance becomes high, in order to reduce this, area of drain opening 305a must be enlarged, but enlarging area of drain opening 305a will cause contraction of the area of source opening 309a inevitably, and since  $R_{ch}$  increases, it cannot reduce the whole on resistance.

[0013] The place which this invention is made that the trouble of the conventional technique mentioned above should be solved, and is made into the purpose is offering the power IC containing the power metal-oxide semiconductor field effect transistor of the horizontal-type structure in which on resistance still lower than the power metal-oxide semiconductor field effect transistor of the conventional

technique is possible.

[0014]

[Means for Solving the Problem] The semiconductor device by this invention for attaining the above-mentioned purpose The semi-conductor layer of the 1st conductivity type formed on the semi-conductor substrate (101) (102), Said semi-conductor layer and the embedding diffusion layer which was formed between said semi-conductor substrates and by which the impurity of the 1st conductivity type was doped by high concentration (104), Two or more base diffusion layers of the 2nd conductivity type regularly formed in the surface field of said semi-conductor layer on said embedding diffusion layer (110), The source diffusion layer of the 1st conductivity type formed in the surface field of said base diffusion layer (111), 1 thru/or two or more drain raising diffusion layers (105) which penetrates said semi-conductor layer and reaches said embedding diffusion layer, The gate electrode which has opening on said base diffusion layer formed through gate dielectric film on said semi-conductor layer, and said drain raising diffusion layer (109), When dividing the semi-conductor layer in which it \*\*\*\*(ed) and said base diffusion layer was formed into the source cel in which said base diffusion layer was formed, and the drain cel in which said drain raising diffusion layer was formed, The 1st source cel (120) of the square in which one side has the 1st dimension sets the 2nd dimension in a line writing direction and the direction of a train with 1 thru/or the arranged source cell block respectively longer than the 1st dimension in a line writing direction and the direction of a train, and is arranged in them. It is characterized by arranging the 2nd source cel (121) of the rectangle which makes the 1st dimension and 2nd dimension the die length of each side between said 1st source cel, and arranging the drain cel (122) in the field inserted into the 2nd source cel.

[0015] And preferably, it is separated into two or more fields by the discrete insulating layer (103) which penetrates this semi-conductor layer, said semi-conductor layer (102) is formed in one field where insulating separation of said embedding diffusion layer and said base diffusion layer was carried out, and other MOS transistors and/or bipolar transistors are formed in other fields by which insulating separation was carried out.

[0016]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained with reference to a drawing. Drawing 1 and drawing 2 are the sectional views of the semiconductor chip for explaining the gestalt of operation of this invention ( drawing 1 is the right half of a sectional view, and drawing 2 is the left half of a sectional view). As shown in this drawing, n mold epitaxial layer 102 is formed on the p-type silicon substrate 101, and p mold discrete insulating layer 103 for separating this electrically in this n mold epitaxial layer 102 is formed. The bipolar component and CMOS for control are formed in each field to which n mold epitaxial layer 102 was separated outside power metal-oxide semiconductor field effect transistor. In order to form n channel MOS FET, p mold well layer 106 is formed in the CMOS formation field. On the substrate, the field insulator layer 107 for separating each component is formed.

[0017] Between n mold epitaxial layers 102 separated from the p-type silicon substrate 101 by the component, sheet resistance is  $n^+$  of 5-20ohms / \*\*. The mold embedding layer 104 is formed and this embedding layer 104 is  $n^+$ . It is pulled out by the mold drain drawer layer 105 on the substrate. This  $n^+$   $n^+$  which p mold diffusion layer 110 which is a base diffusion layer is formed on the mold embedding layer 104, and becomes a source field in the surface field of this p mold diffusion layer The mold diffusion layer 111 is formed. Moreover, it is  $n^+$  although not illustrated. In the field inserted into the mold diffusion layer 111, it is  $p^+$  of a backgate field. The mold diffusion layer is formed.

[0018] Gate oxide 108 is formed on the front face of n mold epitaxial layer 102, and the gate electrode 109 which consists of polish recon is formed on this gate oxide 108. The 1st interlayer insulation film 112 is formed on this gate electrode 109 and gate oxide 108, and the 1st thru/or the 4th contact hole 113a-113d are established in this 1st interlayer insulation film 112. In the 1st and 4th contact hole 113a and 113d, it is said  $n^+$ .  $n^+$  which the 1st drain electrode 114 electrically connected to the mold drain drawer layer 105 is formed, and is a source field in the 2nd and 3rd contact hole 113b and 113c and on the 1st interlayer insulation film 112 The source electrode 115 electrically connected to the mold

diffusion layer 111 is formed.

[0019] The 2nd interlayer insulation film 116 is formed on the 1st drain electrode 114, the source electrode 115, and the 1st interlayer insulation film 112, and the 1st and 2nd through holes 117a and 117b are established in this 2nd interlayer insulation film 116. In these through hole 117a and 117b and on the 2nd interlayer insulation film 116, the 2nd drain electrode 118 which connects between the 1st drain electrode 114 is formed so that the source electrode 115 may be covered completely. The protection insulator layer 119 is formed on the 2nd drain electrode 118 and the 2nd interlayer insulation film. In drawing 1, although two p mold diffusion layers 110 are indicated, many p mold diffusion layers are arranged in space perpendicularly regularly in parallel in fact. Moreover, n+ The mold drain drawer layer 105 is suitably arranged also not only between the periphery of a component but between p mold diffusion layers 110.

[0020] Thus, in formed MOSFET, a drain current does not mind a substrate, but it is n+. The mold embedding layer 104 and n+ Substrate resistance  $R_{sub}$  in VDMOS since it is taken out through the mold drain drawer layer 105 The corresponding drain diffused resistor  $R_{dr}$  (n+ the mold embedding layer 104 and n+ resistance of the mold drain drawer layer 105) can be stopped low. Moreover, since a source diffusion layer is countered and it becomes unnecessary to form a drain diffusion layer on a substrate front face, improvement in a source cel consistency can be carried out, and further, since the field of the periphery of p mold diffusion layer 110 will function as a channel field mostly, it can increase effectual channel width sharply and can reduce effectively both the channel resistance  $R_{ch}$  and the junction type FET section resistance  $R_{jFET}$ .

[0021]

[Example] Next, the example of this invention is explained with reference to the pattern Fig. of the power-metal-oxide-semiconductor-field-effect-transistor section.

[1st example] drawing 3 is a flat-surface pattern Fig. for explaining the 1st example of this invention. On the substrate, the gate electrode which has source opening 109a and drain opening 109b is formed. n+ used as p mold diffusion layer 110 and a source field A mold diffusion layer (with no illustration) is formed using the so-called double diffusion test through source opening 109a. Moreover, in drain opening 109b, it is n+. Although the mold drain drawer layer 105 is formed, this is the diffusion layer formed through drain opening 105a formed in the diffusion mask (photoresist).

[0022] As shown in drawing 3, p mold diffusion layer 110 is formed in the 1st, the 2nd source cel 120, and 121, and it is n+. The mold drain drawer layer 105 is formed in the drain cel 122. In a design, the 1st source cel 120 is arranged in pitches [ target / regulation ]. Next, in the 1st source cel 120, the drain cel 122 is regularly arranged in pitches [ cel / 120 / 1st / source ] in the location which carries out a vertical angle, and the 2nd source cel 121 is regularly arranged in pitches [ cel / 120 / 1st / source ] in the location which faces each side of the 1st source cel.

[0023] The pattern of the 1st source cel 120 is a square, and the dimension a of one side is the width of face a of the gate electrode 109, p mold diffusion layer 110, and n+. It is shown by the sum of the aperture width b of the gate electrode 109 which forms the mold diffusion layer 111 by double diffusion (henceforth source aperture width). The width of face a of the gate electrode 109 is designed from the dimension which makes min resistance  $R_{jFET}$  of the junction type FET section inserted into the longitudinal direction breadth of p mold diffusion layer 110, and the source aperture width b is set as the lower limit of ultra-fine processing technology. These dimension designs are the same as the design technique of VDMOS shown conventionally by a diagram, and are values reduced by advance of ultra-fine processing technology every day.  $R_{ch}$  and  $R_{jFET}$  in the whole on resistance are optimized by this design.

[0024] The pattern of the drain cel 122 is a square and the dimension B of one side is n+. It is shown by the sum of the offset length e of the aperture width c and longitudinal direction breadth d of the mask for forming the mold drain drawer layer 105, and n mold epitaxial layer 102. The mask aperture width c is drain drawer resistance per unit area (resistance given by A-R.). A: The diffusion layer cross section, R: it is designed by the dimension which makes resistance min and the offset length e of n mold epitaxial layer 102 is designed by the same technique as the usual proof-pressure design. Moreover, substrate

resistance  $R_{sub}$  of VDMOS p+ of the field in which the source cel and the drain cel were prepared in order to reduce the corresponding drain diffused resistor  $R_{dr}$  n+ mold embedding layer 104 is spread on the mold silicon substrate 101. By these designs, it is  $R_{epi}$  in the whole on resistance.  $R_{sub}$  The corresponding drain diffused resistor  $R_{dr}$  is optimized.

[0025] The pattern of the 2nd source cel 121 is a rectangle, and the dimension of one side is designed by the dimension B with which other one side was designed by said approach by A designed by said approach. For example, since it is decided that die length of one side of a drain cel will be the integral multiple of die length of one side of a source cel when a source cel is constituted only from a square thing, Although the degree of freedom of a design can fall, a drain cel cannot be made small enough as a result and the whole on resistance cannot fully be reduced, according to this invention, it is using the above design approaches. Each resistance  $R_{ch}$  which constitutes the on resistance of the whole output stage power metal-oxide semiconductor field effect transistor,  $R_{jFET}$ ,  $R_{epi}$ , and  $R_{dr}$  are optimized by coincidence, respectively, and the on resistance as the whole is reduced sharply. In addition, although the line of one line in which the line only containing a source cel contains two lines, a source cel, and a drain cel is shown in drawing 3, it can constitute so that the cel of many in the repeat of the same pattern may be included.

[0026] The 2nd example of [2nd example] this invention is explained with reference to drawing 4 which is the flat-surface pattern Fig. It is only that, as for this example, the arrangement patterns of each cel differ, and the design technique and manufacture approach are the same as that of the case of the 1st example. Although the 2nd one source cel 121 is arranged and the 1st source cel 120 was arranged between the 2nd source cel 121 in cel arrangement of the 1st example between the drain cels 122 regularly arranged in the \*\* pitch It is changed into the pattern which arranges the 2nd two source cels 121 between [ each ] drain cels, and arranges the 1st source cel 120 at a time between [ two ] the 2nd source cel 121 in this example. Thus, by constituting, the rate of occupying in the cel of the whole source cel can be made high, a cel consistency can be raised, and the channel resistance  $R_{ch}$  can be reduced.

[0027] Thus, although the channel resistance  $R_{ch}$  is reduced in the 2nd example by making the train list of the 1st source cel and the 2nd source cel into plurality, since the rate of on the other hand occupying in the cel of the whole drain cel becomes low and the drain diffused resistor  $R_{dr}$  increases, the design which optimizes the number of train lists of the source cel between drain cels is called for. Although it is the value which makes the sum of  $R_{ch}$  and  $R_{dr}$  min, since the rates of occupying to the resistance of  $R_{ch}$  and the whole  $R_{dr}$  by pressure-proofing differ, this optimal value is determined for every pressure-proofing. naturally -- coming out -- although it is, since the rate of occupying to resistance of the whole  $R_{ch}$  becomes high so that pressure-proofing is low, since  $R_{epi}$  becomes low by things if pressure-proofing becomes low -- the thickness of n mold epitaxial layer -- thin -- becoming -- the high-impurity-concentration backlash -- \*\*, the train list of a source cel is made [ many ], and it becomes that it is more advantageous to aim at improvement in a cel consistency.

[0028] According to this invention person's etc. count, by the cel arrangement of this example shown in drawing 4, when the dimension of about 12 micrometers and B was designed for the dimension of A to about 17 micrometers, pressure-proofing of output stage power metal-oxide semiconductor field effect transistor was able to obtain the result of 124m ohm-mm<sup>2</sup> (gate voltage =10V) in series resistance 55V.

[0029]

[Effect of the Invention] The power metal-oxide semiconductor field effect transistor according to this invention as explained above is a drain current n+ A mold embedding layer and n+ Since it is made to take out through a mold drain drawer layer, the value of the drain diffused resistor equivalent to the substrate resistance in the conventional example can be reduced sharply. Furthermore, in a substrate front face, since it becomes unnecessary to arrange a source diffusion layer and a drain diffusion layer face to face, and the consistency of a source cel can be raised and the channel width per unit area can be made to increase, the both sides of the channel resistance  $R_{ch}$  and the junction type FET section resistance  $R_{jFET}$  can be reduced. Therefore, according to this invention, the semiconductor device with which current density was equipped with the power metal-oxide semiconductor field effect transistor of

the low high high performance of on resistance can be offered.

---

[Translation done.]



\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] The right half of the sectional view for explaining the gestalt of operation of this invention.

[Drawing 2] The left half of the sectional view for explaining the gestalt of operation of this invention.

[Drawing 3] The flat-surface pattern Fig. showing the 1st example of this invention.

[Drawing 4] The flat-surface pattern Fig. showing the 2nd example of this invention.

[Drawing 5] The sectional view of the 1st conventional example.

[Drawing 6] The flat-surface pattern Fig. of the 1st conventional example.

[Drawing 7] The sectional view of the 2nd conventional example.

[Drawing 8] The flat-surface pattern Fig. of the 2nd conventional example.

[Description of Notations]

101 301 P-type silicon substrate

201 N+ Mold Silicon Substrate

102, 202, 302 n mold epitaxial layer

103 P Mold Discrete Insulating Layer

104 N+ Mold Embedding Layer

105 N+ Mold Drain Drawer Layer

105a, 305a Drain opening

305 N+ Mold Drain Diffusion Layer

106 P Mold Well Layer

107 Field Insulator Layer

108, 208, 308 Gate oxide

109, 209, 309 Gate electrode

109a, 209a, 309a Source opening of a gate electrode

109b Drain opening of a gate electrode

110, 210, 310 p mold diffusion layer (base layer; channel field)

111, 211, 311 n+ Mold diffusion layer (source diffusion layer)

112 312 The 1st interlayer insulation film

212 Interlayer Insulation Film

113a The 1st contact hole

113b The 2nd contact hole

113c The 3rd contact hole

113d The 4th contact hole

114 314 1st drain electrode

214 Drain Electrode

115, 215, 315 Source electrode

116 316 The 2nd interlayer insulation film

117a The 1st through hole

117b The 2nd through hole

118 318 2nd drain electrode  
119 Protection Insulator Layer  
120 1st Source Cel  
121 2nd Source Cel  
122 Drain Cel  
223 323 p+ Mold diffusion layer (backgate field)

---

[Translation done.]